

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-036532

(43)Date of publication of application : 06.02.1996

(51)Int.Cl.

G06F 12/16

G06F 1/32

G06F 1/26

G06F 15/02

(21)Application number : 06-169417

(71)Applicant : HITACHI LTD

(22)Date of filing : 21.07.1994

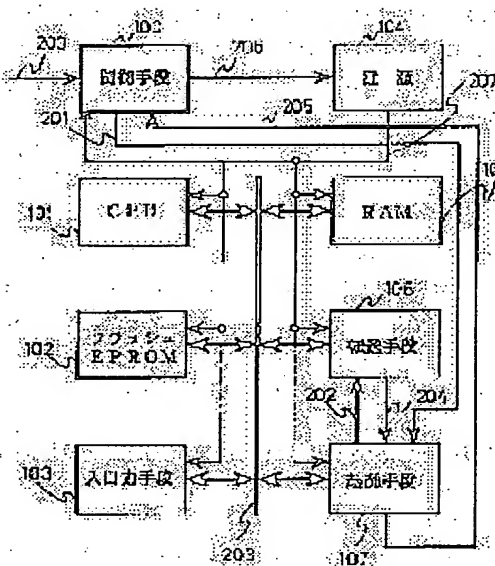
(72)Inventor : HANAWA MAKOTO
OSUGA HIROSHI
NOGUCHI YOSHIKI
KANEKO YOSHIYUKI

(54) TERMINAL DEVICE OF LOW POWER CONSUMPTION

(57)Abstract:

PURPOSE: To surely save various system data specified by a CPU or data in a RAM through a simple circuit constitution by turning off the power source after transferring specific data to an electrically readable and writable nonvolatile storage means.

CONSTITUTION: When a command signal for turning off the power source of the portable terminal device of a low power consumption is inputted, an interruption is generated in the portable terminal device of a low power consumption to save all the contents of a RAM 105 in a flash EPROM 102 as the nonvolatile storage means, and then power line to the CPU 101, the flash EPROM 102, an input/output means 103, the RAM 105, a transfer means 106, and an actuation means 107 is turned off. Namely, the power line to the modules is disconnected after it is confirmed by providing an actuation stop bit 109 that the contents on the RAM 105 are transferred to the flash EPROM 102 when the power source of the portable terminal device of a low power consumption is turned off.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

THIS PAGE BLANK (USPTO)

[Patent number]
[Date of final disposal for application]
application converted to patent and
the examiner's decision is published in
[Kind of final disposal for application]
this case]

資料①

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-36532

(43) 公開日 平成8年(1996)2月6日

(51) Int. Cl.

G06F 12/16

1/32

1/26

識別記号

340

Q 7623-5B

F I

G06F 1/00

332

E

334

C

審査請求 未請求 請求項の数11 O L (全22頁) 最終頁に続く

(21) 出願番号

特願平6-169417

(22) 出願日

平成6年(1994)7月21日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 花輪 誠

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 大須賀 宏

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(72) 発明者 野口 孝樹

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(74) 代理人 弁理士 秋田 収喜

最終頁に続く

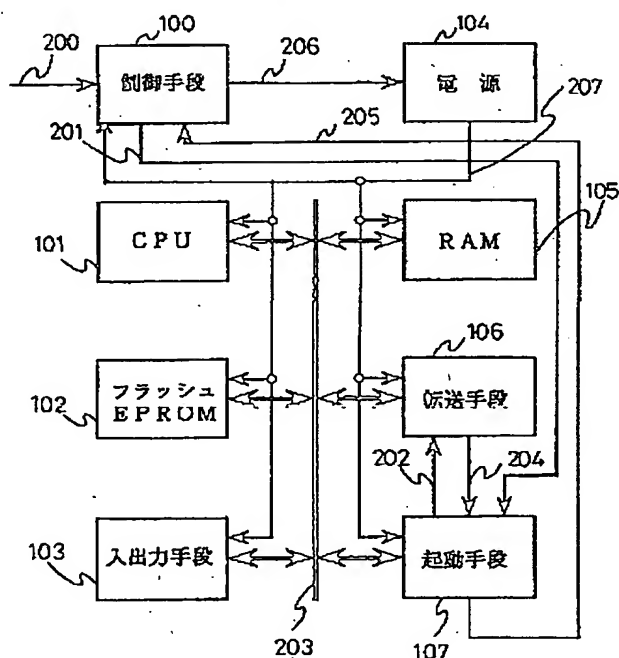
(54) 【発明の名称】 低消費電力端末装置

(57) 【要約】

【目的】 各種システムデータおよびRAMのデータを確実に、電氣的に読み書き可能な不揮発性記憶手段に退避させることが可能な低消費電力携帯用端末装置を提供すること。

【構成】 低消費電力携帯用端末装置において、起動手段が、所定のデータを不揮発性記憶手段へ転送を行うか否かを示す転送指定出力信号と、データ転送手段からの起動停止信号に基づいて、所定のデータを不揮発性記憶手段へデータ転送が終了したことを示すデータ転送終了信号と、制御手段からの転送起動要求信号とに基づいて、データ転送手段を起動して所定のデータを不揮発性記憶手段へ転送した後、制御手段に電源OFFを指示する電源OFF指示手段とを具備する。

図1



THIS PAGE BLANK (USPTO)

記CPUから指定可能であり、所定のデータを不揮発性記憶手段へ転送を行うか否かを示す転送指定出力信号を出力する転送指定手段と、前記データ転送手段からの起動停止信号に基づいて、所定のデータを不揮発性記憶手段へデータ転送が終了したことを示すデータ転送終了信号を出力する転送終了指示手段と、前記制御手段からのデータ転送終了信号に基づいて、前記データ転送手段を起動して所定のデータを不揮発性記憶手段へ転送した後、前記制御手段に電源OFFを指示する電源OFF指示手段とを具備することを特徴とする。

【0018】(2) CPUと、RAMと、入出力手段と、不揮発性記憶手段へ、複数の所定のデータを転送し、複数の所定のデータをそれぞれ不揮発性記憶手段へ転送後に、複数の所定のデータ毎のデータ転送信号、および、全てのデータと転送後に転送終了信号を出力するデータ転送手段と、前記データ転送手段を起動し、前記データ転送信号が入力されることにより前記起動手段に転送起動要求信号を出力し、前記起動手段からの指示に基づいて、電源をOFFにする電源OFF実行信号を出力する制御手段とから構成される低消費電力携帯用端末装置であって、前記起動手段が、前記CPUから指定可能であり、複数の所定のデータ毎に不揮発性記憶手段へ転送を行うか否かを示す転送指定出力信号を出力する複数の所定データ毎の転送指定手段と、前記データ転送手段からの複数の所定のデータ毎のデータ転送信号に基づいて、複数の所定のデータ毎に不揮発性記憶手段へデータ転送が終了したことを示す複数の所定のデータ毎のデータ転送終了信号を出力する複数の転送終了指示手段と、前記制御手段からの転送終了信号に基づいて、前記転送手段を起動して所定のデータを不揮発性記憶手段へ転送した後、前記制御手段に電源OFFを指示する電源OFF指示手段とを具備することを特徴とする。

【0019】(3) 前記(1)または前記(2)の手段において、前記不揮発性記憶手段が、複数の記憶領域に分割され、前記複数の記憶領域の1つの領域に前記複数の記憶領域を管理するための管理データを前記管理手段が、転送するデータを前記管理手段を参照して、前記管理手段が、転送するデータを前記管理手段の領域に均等に転送するとともに前記管理手段のデータを更新することを特徴とする。

【0020】(4) 前記(3)の手段において、前記管理手段が、転送される領域が、さらに複数の小領域に分割され、前記転送手段が、前記管理手段のデータ

を更新する際に、前記小領域に均等に管理データのデータを記憶することを特徴とする。

【0021】(5) 前記(1)乃至前記(4)の手段において、前記不揮発性記憶手段が、データ書き込み時に、前記書き込みが正常に終了したことを報告する報告手段を有し、前記転送手段が、前記報告手段からのデータ書き込みが正常に終了したことを示す報告を識別して、前記データ転送信号あるいは起動停止信号を出力することを特徴とする。

【0022】(6) 前記(1)乃至前記(5)の手段において、前記不揮発性記憶手段が、電源ONの通常動作中に、前記不揮発性記憶手段の消去を行う消去手段を有することを特徴とする。

【作用】前記(1)の手段によれば、低消費電力携帯用端末装置において、所定のデータを不揮発性記憶手段へ転送を行うか否かを示す転送指定出力信号と、データ転送手段からの起動停止信号に基づいて所定のデータを不揮発性記憶手段へデータ転送が終了したことを示すデータ転送終了信号と、制御手段からの転送起動要求信号とに基づいて、データ転送手段を起動して所定のデータを電

気的に読み書き可能な不揮発性記憶手段へ転送した後、電源をOFFとするようにしたので、CPUから指定した各種システムデータあるいはRAMのデータを、確実に電気的に読み書き可能な不揮発性記憶手段に記憶させることが可能となる。

【0024】前記(2)の手段によれば、低消費電力携帯用端末装置において、複数の所定のデータ毎に不揮発性記憶手段へ転送を行うか否かを示す転送指定出力信号と、データ転送手段からの複数の所定のデータ毎のデータ転送信号に基づいて、複数の所定のデータ毎のデータ転送手段が、前記転送手段からの転送終了信号と、前記制御手段からの転送終了指示信号とに基づいて、前記転送手段を起動して、複数の所定のデータの中の一つのデータを不揮発性記憶手段へ転送した後、電源をOFFとすることが可能となる。

【0025】前記(3)の手段によれば、前記(1)または前記(2)に記載された低消費電力携帯用端末装置において、不揮発性記憶手段を、複数の記憶領域に分割し、前記複数の記憶領域の1つの領域に前記複数の記憶領域を管理するための管理データを前記管理手段が、転送するデータを前記管理手段を参照して、前記管理手段が、転送するデータを前記管理手段の領域に均等に転送するとともに前記管理手段のデータを更新するよう

にしたので、電気的に読み書き可能な不揮発性記憶手段の利用効率を向上させることが可能となる。

【0026】前記(4)の手段によれば、前記(3)に記載された低消費電力携帯用端末装置において、管理データの転送が、管理手段のデータを更新する際に、前記小領域に均等に管理データのデータを記憶するよう

にしたので、電気的に読み書き可能な不揮発性記憶手段の利用効率を向上させることが可能となる。

【0027】前記(5)の手段によれば、前記(1)乃至前記(4)に記載された低消費電力携帯用端末装置において、前記転送手段が、前記管理手段のデータを更新する際に、前記小領域に均等に管理データのデータを記憶するよう

にしたので、電気的に読み書き可能な不揮発性記憶手段の利用効率を向上させることが可能となる。

【0026】前記(4)の手段によれば、前記(3)に記載された低消費電力携帯用端末装置において、管理データの転送が、管理手段のデータを更新する際に、前記小領域に均等に管理データのデータを記憶するよう

にしたので、電気的に読み書き可能な不揮発性記憶手段の利用効率を向上させることが可能となる。

【0027】前記(5)の手段によれば、前記(1)乃至前記(4)に記載された低消費電力携帯用端末装置において、前記転送手段が、前記管理手段のデータを更新する際に、前記小領域に均等に管理データのデータを記憶するよう

にしたので、電気的に読み書き可能な不揮発性記憶手段の利用効率を向上させることが可能となる。

【0028】前記(6)の手段によれば、前記(1)乃至前記(5)の手段に記載された低消費電力携帯用端末装置において、電源ONの通常動作中に、前記不揮発性記憶手段の消去を行うようにしたので、電源OFF時に、前記不揮発性記憶手段へ直ちにデータの書き込みが実行でき、実際に電源をOFFするまでの時間を短縮することが可能となる。

【0029】以下、図面を参照して本発明の実施例を詳細に説明する。

【0030】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0031】【実施例1】図1は、本発明の一実施例(実施例1)である低消費電力携帯用端末装置の概略構成を示すブロック図である。

【0032】本実施例1は、低消費電力携帯用端末装置の電源をOFFするための指令信号が入力されたときに、低消費電力携帯用端末装置内部で断込みを発生させ、RAM105の内容をすべて不揮発性記憶手段であるフラッシュメモリ102に記憶させた後、CPU101、フラッシュメモリ102、入出力手段103、RAM105、転送手段106、起動手段107への電源をOFFするようにしたものである。

【0033】ここで、図1に示すCPU101、フラッシュメモリ102、入出力手段103、RAM105、転送手段106、起動手段107のように低消費電力携帯用端末装置の電源をOFF時に電源をOFFする構成手段を以後モジュールと呼ぶことにする。

【0034】断込み信号200は、制御手段100に入力され、制御手段100からは、転送起動要求信号201と電源OFF実行信号206が出力される。

【0035】転送起動要求信号201は、起動手段107に、電源OFF実行信号206は電源104にそれぞれ入力される。

【0036】また、制御手段100は、起動手段107から出力された電源OFF許可信号205が入力される。

【0037】電源104からは、電源線207が出力され、電源線207は、CPU101、フラッシュメモリ102、入出力手段103、RAM105、転送手段106、起動手段107にそれぞれ接続されている。

【0038】転送手段106からは、起動停止信号204が出力され、起動停止信号204は、起動手段107に与えられる。

【0039】また、転送手段106は、起動手段107から出力された転送起動実行信号202が入力される。

【0040】CPU101、フラッシュメモリ102、入出力手段103、RAM105、転送手段106、起動手段107は、システムバス208で接続されている。

【0041】システムバス208は、アドレス線203-1およびデータ線203-2、制御信号線203-3から構成されている。

【0042】図2は、図1に示す起動手段107の概略構成を示すブロック図である。

【0043】図2に示すように、起動手段107は、転送ビット108、起動停止ビット109、論理回路A11より構成される。

【0044】転送ビット108には、システムバス203-1および電源線207が接続されており、転送ビット108より出力した信号線208は、論理回路A11に接続されている。

【0045】転送ビット108は、システムバス203を通してCPU101よりリブ、ライオンが可能であり、転送ビット108は、転送を行なうか否かのスイッチになっており、転送ビット108の値が0のときは、電源OFF時にRAM105からフラッシュメモリ102へのデータ転送を行わず、1のときにはデータ転送を行うようにする。

【0046】なお、転送ビット108は、本発明の転送指定手段を構成する。

【0047】起動停止ビット109には、起動停止信号204、システムバス203および電源線207が接続されており、起動停止ビット109は、論理回路A111に接続されている。

【0048】起動停止ビット109は、転送起動実行信号202の出力を止めるものであり、起動停止信号204の値を取り込むことで、ビットの値を書き換えることが可能であり、また、システムバス203を通してCPU101よりリブ、ライオンが可能である。

【0049】なお、起動停止ビット109は、本発明の

起動手段を構成する。

【0050】また、転送手段106は、起動手段107から出力された転送起動実行信号202が入力される。

【0051】また、転送手段106は、起動手段107から出力された転送起動実行信号202が入力される。

【0052】また、転送手段106は、起動手段107から出力された転送起動実行信号202が入力される。

【0053】また、転送手段106は、起動手段107から出力された転送起動実行信号202が入力される。

【0054】また、転送手段106は、起動手段107から出力された転送起動実行信号202が入力される。

【0055】また、転送手段106は、起動手段107から出力された転送起動実行信号202が入力される。

7が接続されており、転送ビット108、起動停止ビット109、転送起動要求信号201の値により、転送起動実行信号202と電源OFF許可信号205の値を決定する。

【0052】論理回路A110の機能を表1に示す。

1005

表1 論理回路Aの機能表

表1 論理回路Aの機能表

【0054】表1に示すように、転送起動要求信号201が0のときは、低消費電力携帯用端末装置が電源ONの状態で、転送ビット108、起動禁止ビット109の値にかかわらず、転送起動実行信号202、電源OFF許可信号205ともに0を出力する。

【0056】転送ビット108が1のときは、転送停止ビット109が1か0かで出力が異なり、転送停止ビット109が0のときは、RAM105の値をフラッシュEPR0M102に転送しないと判断し、転送転送実行信号202に1を出力し、電源OFF実行信号205に0を出力する。

【0058】図3は、図1に示す低消費電力換帯用端末装置のメモリマップの構成の一例を示す図である。

【0059】図3において、アドレスH' 00000000~H' 00000FFFまでは、読み出し専用メモリ（ROM）のエリアである。

【0061】アドレスH' 00010000~H' 007 FFFFまでは、RAM105のエリアであり、RAM 105の容量は、本実施例1では512Kバイトとして

OM102のプログラム領域A~Dの任意の領域に転送
2に示す。

【0071】図4に示す管理テーブルの構成の一例を表【表2】

表2 管理データベースの構成

【0073】表2に示すように、管理テーブルには、各プログラム領域の管込み許可、起動時参照領域、管込み回数、先頭アドレス情報を示す欄が設けられる。

【0075】起動時参照領域とは、低消費電力換替用増
末装置が電源ON時にリードすべきプログラム領域を示
すもので、リードすべきプログラムが書き込まれている
起動時参照領域のみを1にする。

【0077】一般的には、フラッシュEPROMでは、書き込み回数は数100～数10万回が限界とされている。

不可能にし、誤動作防止を行なう。

【0079】先頭アドレスとは、転送すべきプログラム領域の先頭アドレスを意味したものである。

【0081】なぜならば、低消費電力携帯用端末装置の電源をOFFするたびに、管理テーブルはその内容を変更し、その内容を記憶媒体に格納してしまふこととなる。このため、管理テーブルの更新頻度を低減させる必要が生ずる。

【0082】管理テーブルを替込む位置を変更する方法
の一例を説明する

【0084】低消費電力携帯用端末装置の電源スイッチをOFFして管理テーブルの内容を変え込む場合、H'は予めの0を設定する。

【0085】H' 1000000~H' 1000FFF
までの管理テーブル領域が過去の管理テーブルの情報で
置かれた場合は、管理テーブル領域に0を書き込んだ
後、新たな管理テーブル情報をH' 1000000より
書き込んでいく。

【0087】前記方法では、管理テーブル領域内の未使用領域を探して、管理テーブル情報を書き込む方法を説明したが、そのほかに、管理テーブル情報に番号を付け

【0088】図5は、図1に示すフラッシュEPROM 102の概略構成を示すブロック図である。

ラッシュメモリチップ102-1としては、(株)日立製作所製のフラッシュEPROMであるHN28F1600を使用する。

【0091】フラッシュメモリチップ102-1のアド
レス入力端子A19-A0に、アドレス線203-1の
下位ビットA200-A1がそれぞれ接続される。

【0093】チップセレクト回路102-2は、アドレス

13

ス線203-1の上位ビット(A27-A20)が接続されており、A27-A20がH' 10又はH' 11のとき、フラッシュメモリ202-1のデューティセレクト端子をアサートする。

【0094】図6は、図1に示す転送手段106の駆動構成を示すブロック図である。

【0095】図6に示すように、転送手段106は、制御回路106-1、フラッシュEPROM7アドレスカウンタ106-2、フラッシュEPROM7アドレススタ106-3、RAM7アドレスカウンタ106-4、RAM7アドレススタ106-5、データバンプ7106-6から構成されている。

【0096】制御回路106-1は転送手段106の動作を制御するものであり、制御回路106-1には転送起動実行信号202が入力され、また、制御回路106-1から起動停止信号204が出力される。

【0097】また、制御回路106-1には、システムバス203の制御信号線203-3も接続されており、フラッシュEPROM102をアクセスするために必要な制御信号も出力される。

【0098】フラッシュEPROM7アドレススタ106-3には、データ線203-2が接続されており、転送起動時に、フラッシュEPROM102内の管理データから読み出した先頭アドレス情報がセットされる。

【0099】フラッシュEPROM7アドレスカウンタ106-2は、転送実行時に、フラッシュEPROM7アドレススタ106-3の値をカウンタアップし、フラッシュEPROM102へのアドレスを生成する。

【0100】RAM7アドレススタ106-5には、転送起動時に、RAM105の先頭アドレスであるH' 1000がセットされる。

【0101】RAM7アドレスカウンタ106-4は、転送実行時に、RAM7アドレススタ106-5の値をカウンタアップし、RAM105へのアドレスを生成する。

【0102】データバンプ7106-6は、RAM105からフラッシュEPROM102への転送のときには、RAM105から読み出したデータを一時的に保持し、フラッシュEPROM102への書き込みサイクルの時にデータ線203-2に出力する。

【0103】本実施例1では、データ線203-2の幅は16ビットとしているので、フラッシュEPROM7アドレスカウンタ106-2、および、RAM7アドレスカウンタアップする。

【0104】図7は、本実施例1の低消費電力制御用端末装置の電源OFF時の処理手順を示すフローチャートである。

14

待用増設装置の電源OFF時の処理手順を説明する。

【0106】始めに、処理ステップ300において、転送要求起動信号201が出力される。

【0107】判定ステップ301では、処理ステップ300で出された情報を受けて、転送ビットの値を調べ、RAM105の内容を転送するか否かの判定を行なう。

【0108】ステップ301で転送を行なわないと判定された場合には、処理ステップ306に進む。

【0109】ステップ301で転送を行なうと判定された場合には、処理ステップ302に進み、フラッシュEPROM102内の管理データ情報を調べ、転送先の領域を調べる。

【0110】次に、処理ステップ303において、データの転送を行なう。

【0111】処理ステップ303が終了すると、処理ステップ304で、新たな管理データ情報を管理データ領域に書き込む。

【0112】次に、処理ステップ305では、転送手段106から起動手段107へ転送起動停止信号204を出力し、それを受けた起動手段107が制御手段100へ転送終了を知らせる処理を行なう。

【0113】次に、処理ステップ306では、制御手段100から電源104へ電源線を遮断させる処理を行なう。

【0114】以下に、図1の動作説明を図7の処理手順を用いて説明する。

【0115】低消費電力増設装置の動作を動作させる、ユーザは入出力手段103、システムバス203を通して、外部より実行すべきプログラムをRAM105へ取り込む。

【0116】取り込んだプログラムに従って、CPU101を動作させて所望の処理を行い、処理が完了すると、ユーザは低消費電力増設装置の電源スイッチをOFFにする。

【0117】低消費電力増設装置の電源スイッチがOFFになると制御回路106(図1には示していない)から読み込み信号200が制御手段100に対して出力される。

【0118】制御手段100では、読み込み信号200から信号を受け付けると、処理ステップ300を実行して、転送要求起動信号201を出力する。

【0119】起動手段107は、制御手段100から出力された転送要求信号201を受け付けると、判定ステップ301を行なう。

【0120】このとき転送ビット108が0であれば、表1に示すように転送起動実行信号202は出力せず、電源OFF許可信号205を出力して、処理ステップ306に処理を移す。

【0121】一方、転送ビット108が1であれば、表1に示すように転送起動実行信号202を出力して処理

15

ステップ302に移る。

【0122】転送手段106は、転送起動実行信号202を受け付けると、処理ステップ302を実行して、フラッシュEPROM102の管理データ領域のデータを転送を行なう。

【0123】転送手段106では、管理データ領域に書き込まれた各プログラム領域の書き込み許可および書き込み回数に基づいて、転送手段106は、管理データ領域の中で、書き込み回数が多いプログラム領域を選択する。

【0124】書き込み可能なプログラム領域の中で、書き込み回数が多いプログラム領域を選択する。

【0125】表2に示す例では、プログラム領域A〜Dの中でプログラム領域Cの書き込み回数が最も多いので、プログラム領域Cを選択することになる。

【0126】このような方法を用いると、フラッシュEPROM102内のプログラム領域ごとの書き込み回数のバラつきを抑えることができる。

【0127】転送先のプログラム領域の先頭アドレスを読み込む。

【0128】次に、転送手段106は、読み込んだ先頭アドレス情報を用いて、処理ステップ303を実行してRAM105からフラッシュEPROM102へデータ転送を行なう。

【0129】データの転送が完了すると、処理ステップ304を実行して、転送手段106は新たな管理データの情報を管理データ領域に書き込む。

【0130】具体的には、管理データ領域の中で、まだ未使用の領域を探し、その部分に今回の管理データの情報を書き込む。

【0131】このとき未使用領域がない場合は、管理データ領域に書き込まれた過去の情報をすべてクリアしてから、先頭アドレスH' 1000000より管理データの情報を書き込む。

【0132】次に、転送手段106は、起動手段107に対して起動停止信号204を出力する。

【0133】起動手段107は、起動停止信号204を受け付けると、表1に従って転送起動実行信号202の出力を0にして転送手段106を停止させる。

【0134】さらに、電源OFF許可信号205を1にして制御手段100にデータ転送が終了したことを知らせ、処理306を実行する。

【0135】電源OFF許可信号205を受け付けた制御手段100は、電源OFF実行信号206を1にして、処理306を実行する。

【0136】電源OFF実行信号206を受け付けた電源104は、電源線207を0にして、CPU101、フラッシュEPROM102、入出力手段103、RAM105、転送手段106、起動手段107の各モジュールに供給している電源を遮断する。

【0137】図8は、図7の処理ステップ303(デー

16

タ転送)における、転送手段106の制御回路106-1の処理手順を示すフローチャートである。

【0138】図8を用いて、図7の処理ステップ303(データ転送)における、転送手段106の制御回路106-1の処理手順を説明する。

【0139】まず、ステップ400において、RAM105のデータを調べる。

【0140】即ち、RAM7アドレススタ106-5の内容をシステムバス203のアドレス線203-1に出力し、RAM105のデータを読み出し、データバンプ7106-6に保持する。

【0141】RAM7アドレススタ106-5の内容は、最初、RAM105の先頭アドレスであるH' 1000にセットされている。

【0142】次に、ステップ401において、フラッシュEPROM102にデータ書き込みコマンドを書き込む。

【0143】データ書き込みコマンドは、システムバス203のデータ線203-2を通じて、フラッシュEPROM102に転送される。

【0144】次に、ステップ402において、フラッシュEPROM102にRAM105から読み出したデータを書き込む。

【0145】データは、データバンプ7106-6からシステムバス203のデータ線203-2を通じて、フラッシュEPROM102に転送される。

【0146】また、その書き込みアドレスは、フラッシュEPROM7アドレススタ106-3の内容をシステムバス203のアドレス線203-1に出力して決定される。

【0147】本実施例1では、フラッシュEPROM102として、(株)日立製作所製のフラッシュEPROMであるHN28F1600を使用している。

【0148】HN28F1600では、データ書き込み(HN28F1600では、この動作を「プログラム」と呼んでいる)のとき、書き込みが終了するまでの間、RDY/Busy端子をローレベルにして、メモリアクセスであることを表示するようにになっている。

【0149】そこで、ステップ403において、前記RDY/Busy端子を監視して、ローレベルであれば、書き込み中であるので、ウェイトし、RDY/Busy端子がハイレベルになるまで、前記ステップ403を繰返し実行する。

【0150】RDY/Busy端子がハイレベルになったら、次のステップ404に進む。

【0151】また、HN28F1600は、データ書き込みが終了したとき、その終了状態、つまり、正常終了か、又は、異常終了かを報告する機能(ステータスボリソフ機能)を有している。

【0152】ステップ404では、前記ステータスボ

るHN28F1600のようなフラッシュメモリでは、データを書き込む(プログラムする)場合、事前にその領域を消去しておく必要がある。

【0167】一般に、フラッシュメモリの消去は、書き込みと比べて約1000倍の処理時間が必要である。

【0168】また、消去時には、フラッシュメモリチップは大量の電力を消費する。

【0169】そのため、電源スイッチがOFFになっているから、やおらフラッシュメモリを消去していたのでは、RAM105の内容を迅速するまでのセットアップ時間が長くなり、結果として、電源スイッチをOFFにしているから、実際に電源がOFFになるまでの時間が長くなり、使い勝手が悪くなる。

【0170】極端な場合、電源スイッチをOFFにしてから、10秒以上経過しないと、実際に電源がOFFされない場合も有り得る。

【0171】そのため、本実施例1では、フラッシュメモリの消去を、電源がONの期間に行っておき、電源スイッチがOFFになっているから、書き込みだけを行う方法を採用している。

【0172】フラッシュEPROM102に使用しているHN28F1600は、自動消去機能が組み込まれており、消去すべき先駆アドレスと終了アドレスをセットすることにより、HN28F1600内で、自動的に支那された領域を消去する。

【0173】CPU101は、電源スイッチがONになっている、RAM105に迅速しておいた内容を回復した後、フラッシュEPROM102に対して、読み出しの終わった領域を消去するようにコマンドを転送して、フラッシュEPROM102の消去機能を起動する。

【0174】消去期間中、CPU101は、通常の動作を実行できるので、フラッシュEPROM102の消去時間を、ユーザは気にすることはない。

【0175】このように本実施例1では、低消費電力携帯用端末装置の電源OFF時にRAM105の内容をフラッシュEPROM102に転送したことを、起動停止ビット109を設けて確認した後、モジュールへの電源線を遮断しているの、実際に低消費電力携帯用端末装置の電源OFF期間の消費電力を低減させつつ、OFF時の状態を保持することが可能である。

【0176】さらに、この転送実行は、転送ビットの値により決定されるが、転送ビットはCPU101からリード・ライトが可能のため、ユーザが転送の実行を行うかを指定することが可能である。

【0177】さらに、本実施例1では、フラッシュEPROM102からの、データ書き込みが正常に終了したことを示す報告を随時して、転送手段106が起動停止信号を出力するようにしたので、確実にRAM105のデータをフラッシュEPROM102に迅速させることが可能となる。

【0178】さらに、電源ONの通常動作中に、フラッシュEPROM102の消去を行うようにしたので、電源OFF時に、フラッシュEPROM102へ直ちにデータの書き込みが実行でき、実際に電源をOFFするまでの時間を短縮することが可能となる。

【0179】なお、本実施例1では、フラッシュEPROM102にRAM101の内容を全て迅速する場合について説明したが、RAM101の内容を圧縮してデータ量を少なくしてからフラッシュEPROM102に送り、RAM101に回復するときに、データを伸張することも可能である。

【0180】また、RAM101の内、不必要なデータである領域を抽出して、必要な領域だけ、迅速/回復することも可能である。

【0181】(実施例2) 図9は、本発明の他の実施例(実施例2)である低消費電力携帯用端末装置の概略構成を示すブロック図である。

【0182】本実施例2の基本的な構成は、図1に示す前記実施例1と同じであるが、前記実施例1との違いは、RAM105以外に他のモジュール(例えばCPU201)の内容もフラッシュEPROM102へ転送できるようにしたものである。

【0183】そのため、起動手段112と転送手段111との間の信号線は、RAM105に対する転送起動実行信号202と起動停止信号204の他に、CPU101に対する転送起動実行信号210と起動停止信号211および転送終了信号216が新たに設けられる。

【0184】図10は、本実施例2における起動手段112の概略構成を示すブロック図である。

【0185】本実施例2における起動手段112の基本30的な構成は、図2に示す前記実施例1の起動手段と同じであるが、図2に示す前記実施例1の起動手段に、CP

U101に対する転送ビット113、起動停止ビット114、論理回路B117、論理回路C115、AND回路119が新たに付け加えられている。

【0186】転送ビット113、起動停止ビット114は、CPU101よりリード・ライトが可能である。

【0187】図2に示す前記実施例1の起動手段との相違点は、転送起動要求信号201が論理回路A110である、転送起動要求信号201が論理回路A110に付くのではなく、論理回路B117、論理回路C115にも接続されていること、論理回路A110からの信号線214と論理回路B117からの信号線215と論理回路C115からの信号線217のANDで電源OFF許可信号205が出力されていることである。

【0188】論理回路A110および論理回路B117から各モジュールのデータ転送が終了したことを示す信号線214および215に信号が出力されているも、論理回路C115よりスイッチ信号217に信号が出力されなければ電源OFF許可信号205は出力されない。

【0189】論理回路B117の機能は、表1に示した論理回路A110の機能に等しい。

【0190】ただし、表1の出力の欄に示した電源OFF許可信号は、この場合論理回路B117の信号線215に対応する。

【0191】論理回路A110の方では、電源OFF許可信号は信号線214に対応する。

【0192】なお、図2に示されている電源線207は、図10では省略している。

【0193】論理回路C115は、起動手段112から電源OFF許可信号205を出力するためのスイッチ信号217を生ずる。

【0194】論理回路C115の機能を表3に示す。

【0195】

表3 論理回路Cの機能表

表3 論理回路Cの機能表

表3 論理回路Cの機能表

表3 論理回路Cの機能表

表3 論理回路Cの機能表

表3 論理回路Cの機能表

表3 論理回路Cの機能表

表3 論理回路Cの機能表

表3 論理回路Cの機能表

表3 論理回路Cの機能表

表3 論理回路Cの機能表

表3 論理回路Cの機能表

表3 論理回路Cの機能表

表3 論理回路Cの機能表

表3 論理回路Cの機能表

表3 論理回路Cの機能表

[0199] 転送ビット108が0、転送ビット113が1のときは、転送終了信号216が1から0へ出力が異なる。

[0200] 転送終了信号216が0のときは、転送手段はCPUに対する転送処理を終了しないと判断し、スリッチ信号217に0を出力する。

[0201] 転送終了信号216が1のときは、転送手段はCPUに対する転送処理を終了すると判断し、スリッチ信号217に1を出力する。

[0202] 転送ビット108が1、転送ビット113が0のときは、転送手段は現在実行している転送処理を終了しないと判断し、スリッチ信号217に0を出力する。

[0203] 転送終了信号216が0のときは、転送手段は現在実行している転送処理を終了しないと判断し、スリッチ信号217に0を出力する。

[0204] 転送終了信号216が1のときは、転送手段は転送処理を終了すると判断し、スリッチ信号217に1を出力する。

[0205] フラッシュEPROM102の管理テーブルの構成を表4に示す。

[0206]

[表4]

表4 管理テーブルの構成

モジュール参照	起動時	先頭アドレス
RAM	1	H1080000
CPU	1	H1100000
プログラマ領域	書き込み回数	先頭アドレス
A	1	H1001000
B	1	H1080000
C	1	H1100000
D	1	H1180000

[0207] 表2との相違点は、管理テーブルの先頭部分でモジュールごとに起動時参照と先頭アドレスの情報を付加した点である。

[0208] こうすることで、電源ON時にこの部分を参照することで、電源OFF時にどのモジュールの情報をフラッシュEPROM102のどのプログラマ領域へ転送したかを判別でき、転送内容をモジュールに戻すことが可能となる。

[0209] 図11は、本実施例2の低消費電力排熱用端末装置の電源OFF時の処理手順を示すフローチャートである。

[0210] 図7に示す前記実施例1のフローチャートとの違いは、RAM105以外のモジュールの内容も転送可能とするために、処理ステップ308、判定ステップ

309、処理ステップ310を付加した点である。

[0211] 処理ステップ308は、転送終了したモジュールの起動停止信号を出力する処理ステップ、判定ステップ309は、転送手段111が受け付けていない転送起動実行信号があるかどうか判定するステップ、処理ステップ310は、管理テーブルの情報を管理テーブル領域へ書き込む処理ステップである。

[0212] 図11を用いて、本実施例2の低消費電力排熱用端末装置の電源OFF時の処理手順を説明する。

[0213] 電源OFF時にRAM105およびCPU101の内容をフラッシュEPROM102へ転送して電源OFFを断する場合は、

[0214] 予め、起動手段112内のRAM105の内容を転送するための転送ビット108およびCPU101の内容を転送するための転送ビット113にそれぞれ1を設定しておく。

[0215] 処理ステップ309および判定ステップ301までは、前記実施例1と同じなので省略する。

[0216] 制御手段100が転送起動要求信号201を出力すると、制御回路A110、制御回路B117および制御回路C115にそれぞれ入力される。

[0217] 制御回路A110は、転送起動要求信号201から信号を受けた時点で、転送ビット108に1が入力されているので転送起動実行信号202を出力する。

[0218] 制御回路B117は転送ビット113に1が設定されているため、転送起動要求信号201から信号を受けた転送起動実行信号210に1を出力する。

[0219] このとき制御回路C115は、スリッチ信号217に0を出力する。

[0220] なぜならば、制御回路Cに転送起動要求信号201から信号が入力された時点で、転送ビット108および転送ビット113に1が、さらに、転送手段111は転送を終了していないため転送終了信号216に0を出力しているからである。

[0221] 転送手段111は、転送起動実行信号202および210より信号を受け取る。

[0222] 転送手段111は、転送起動実行信号202および210より同時に信号を受け取ると、RAM105に対する転送起動実行信号202の処理を優先して行なう。

[0223] 処理ステップ302を実行して、管理テーブルの情報をメモリに転送可能なプログラマ領域へ書き込む。

[0224] 転送可能なプログラマ領域の選択方法は、前記実施例1と同じように書き込み回数の最も少ないプログラマ領域を選択する。

[0225] 表3に示す例では、プログラマ領域Bとプログラマ領域Cが7回で最も少ない。

[0226] この場合は、プログラマ領域Bを選択す

[0227] 次に、転送手段111は、処理ステップ303を実行して、RAM105の内容をフラッシュEPROM102のプログラマ領域Bへ転送する。

[0228] 転送手段111は、RAM105の転送が終了すると、起動停止信号204を出力する。

[0229] その後、転送手段111は判定ステップ309を実行して、RAM105に対する転送起動実行信号202以外に転送起動実行信号が出力されているかを調べる。

[0230] 今は、CPU101に対する転送起動実行信号210が出力されているので、転送手段111は転送ステップ302を再び実行する。

[0231] 以後の処理は、上記と同じなので省略する。

[0232] CPU101に対するデータ転送が終了すると、判定ステップ309から処理ステップ310へ進む。

[0233] 処理ステップ310では、新たな管理テーブル情報を管理テーブル領域へ書き込む。

[0234] 管理テーブル情報を管理テーブル領域へ書き込む方法は、前記実施例1の場合と同じように管理テーブル領域内で未使用の部分を探して書き込む方法を用いる。

[0235] 管理テーブル領域内で未使用の部分がない場合は、管理テーブル領域をすべてクリアして管理テーブル領域の先頭アドレスから書き込んでいく。

[0236] 管理テーブル情報の書き込みが終了すると、転送手段111は転送終了信号216に信号を出力する。

[0237] 起動手段112は、転送終了信号216より信号を受けると、内部の制御回路C115に1のスリッチ信号217を出力する。

[0238] この時点では、RAM105およびCPU101の転送は終了しているので、停止ビット109および停止ビット114には1が入力されている。

[0239] すなわち制御回路A110からの出力信号214および制御回路B117からの出力信号215は1となっている。

[0240] スリッチ信号217に信号を出力することによって、AND回路119の入力はすべて1になるので、処理ステップ306を実行して電源OFF許可信号205を出力する。

[0241] この処理以後は、前記実施例1と同じなので省略する。

[0242] このように、本実施例2では、起動手段112および転送手段111にRAM105の転送以外にCPU101の内容を転送を行なうためのCPU用の転送ビット113、起動停止ビット114、転送起動実行信号210、起動停止信号211を付加している。

[0243] これにより、確実に低消費電力排熱用端末装置の電源OFF時にRAM105以外にCPU101の内容をフラッシュEPROM102へ転送させることが可能となる。

[0244] 本実施例2では、CPU101の内容を転送するためのハードウェアを付加したが、各モジュールごとに転送ビット、起動停止ビット、転送起動実行信号、起動停止信号を付加すれば、各モジュールの内容をフラッシュEPROM102へ転送することが可能となる。

[0245] [実施例3] 図12は、本発明の他の実施例（実施例3）である低消費電力排熱用端末装置の構成を示すブロック図である。

[0246] 本実施例3の基本的な構成は、図1に示す前記実施例1と同じであり、前記実施例1との違いは、選択手段120を加えることで、低消費電力排熱用端末装置の電源OFF時に希望するモジュールへの電源線だけを遮断することが可能になるようにしたものである。

[0247] そのために、本実施例3では、制御手段100より出力された電源OFF実行信号206を選択手段120に入力している。

[0248] 選択手段120からは電源線104へ、CPU101への電源遮断実行信号218、フラッシュEPROM102への電源遮断実行信号219、入出力手段103への電源遮断実行信号220、RAM105への電源遮断実行信号221、転送手段106への電源遮断実行信号222、起動手段107への電源遮断実行信号223が出力されている。

[0249] 電源線104からは、CPU101への電源線224、フラッシュEPROM102への電源線225、入出力手段103への電源線226、RAM105への電源線227、転送手段106への電源線228、起動手段107への電源線229が各モジュールへ接続されており、また、電源線250が制御手段100へ接続されている。

[0250] 図13は、本実施例3における選択手段120の動作を示すブロック図である。

[0251] 選択手段120は、電源OFF実行信号206に1が入力されたとき、選択レジスタ121のB11情報に従って、CPU101への電源遮断実行信号218、フラッシュEPROM102への電源遮断実行信号219、入出力手段103への電源遮断実行信号220、RAM105への電源遮断実行信号221、転送手段106への電源遮断実行信号222、起動手段107への電源遮断実行信号223に信号を出力するか否かを決定するものである。

[0252] 電源OFF実行信号206は、AND回路122への入力に接続されている。

[0253] 選択レジスタ121は、システムバス203に接続されている。

29

とするようにしたので、CPUから指定した各種システムデータあるいはRAMのデータを、簡単な回路構成で確実に電気的に読み書き可能な不揮発性記憶手段に記憶させることが可能となる。

【0307】(2) 低消費電力携帯用端末装置において、複数の所定のデータ毎に不揮発性記憶手段へ転送を行うか否かを示す転送指定出力信号と、データ転送手段からの複数の所定のデータ毎に不揮発性記憶手段へデータ転送が終了したことを示す複数の所定のデータ毎のデータ転送終了信号と、制御手段からの転送要求信号と、データ転送手段を起動して、複数の所定のデータの中の少なくとも一つのデータを不揮発性記憶手段へ転送した後、電源をOFFとするようにしたので、CPUから指定した各種システムデータあるいはRAMのデータを、簡単な回路構成で確実に電気的に読み書き可能な不揮発性記憶手段に記憶させることが可能となる。

【0308】(3) 低消費電力携帯用端末装置において、不揮発性記憶手段を、複数の記憶領域に分割し、前記複数の記憶領域の1つの領域に前記複数の記憶領域を管理するための管理テーブルを設け、転送手段が、転送するデータを前記管理テーブルを参照して、前記管理テーブルが設けられる領域以外の領域に均等に記憶するとともに前記管理テーブルのデータを更新するようにしたので、電気的に読み書き可能な不揮発性記憶手段の利用効率を向上させることが可能となる。

【0309】(4) 低消費電力携帯用端末装置において、管理テーブルが設けられる領域を、さらに複数の小領域に分割し、転送手段が、前記管理テーブルのデータを更新する際に、前記小領域に均等に管理テーブルのデータを記憶するようにしたので、電気的に読み書き可能な不揮発性記憶手段の利用効率をさらに向上させることが可能となる。

【0310】(5) 低消費電力携帯用端末装置において、不揮発性記憶手段からのデータ読み込みが正常に終了したことを示す報告を記憶して、転送手段が、データ転送信号あるいは起動停止信号を出力するようにしたので、CPUから指定した各種システムデータあるいはRAMのデータを、確実に電気的に読み書き可能な不揮発性記憶手段に記憶させることが可能となる。

【0311】(6) 低消費電力携帯用端末装置において、電源ONの通常動作中に、不揮発性記憶手段の消去を行うようにしたので、電源OFF時に、不揮発性記憶手段へ直ちにデータの書き込みが実行でき、実際に電源をOFFするまでの時間を短縮することが可能となる。

【図面の簡単な説明】

【図1】 本発明の一実施例（実施例1）である低消費電力携帯用端末装置の概略構成を示すブロック図である。

30

【図2】 本実施例1における起動手段の概略構成を示すブロック図である。

【図3】 図1における低消費電力携帯用端末装置のメモリメモリの構成の一例を示す図である。

【図4】 図1におけるフラッシュEPROMのメモリメモリの構成の一例を示す図である。

【図5】 図1におけるフラッシュEPROMの概略構成を示すブロック図である。

【図6】 図1における転送手段の概略構成を示すブロック図である。

【図7】 本実施例1の低消費電力携帯用端末装置の電源OFF時の処理手順を示すフローチャートである。

【図8】 図6における転送手段の制御回路の処理手順を示すフローチャートである。

【図9】 本発明の他の実施例（実施例2）である低消費電力携帯用端末装置の概略構成を示すブロック図である。

【図10】 本実施例2における起動手段の概略構成を示すブロック図である。

【図11】 本実施例2の低消費電力携帯用端末装置の電源OFF時の処理手順を示すフローチャートである。

【図12】 本発明の他の実施例（実施例3）である低消費電力携帯用端末装置の概略構成を示すブロック図である。

【図13】 本実施例3における選択手段の概略構成を示すブロック図である。

【図14】 本発明の他の実施例（実施例4）である低消費電力携帯用端末装置の概略構成を示すブロック図である。

【図15】 本発明の他の実施例（実施例5）である低消費電力携帯用端末装置の概略構成を示すブロック図である。

【符号の説明】

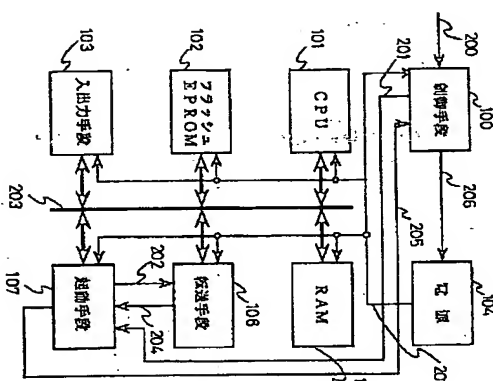
100…制御手段、101…CPU、102…フラッシュEPROM、102-1…フラッシュメモリチップ、102-2…チップセレクト回路、103…入出力手段、104…電源、105…RAM、106、111…転送手段、106-1…制御回路、106-2…フラッシュEPROMアドレスカウンタ、106-3…フラッシュEPROMアドレスレジスタ、106-4…RAMアドレスカウンタ、106-5…RAMアドレスレジスタ、106-6…データバuffer、107、112…起動手段、108、113…転送ビット、109、114…起動停止ビット、110…制御回路A、115…制御回路C、117…制御回路B、119、122…127…AND回路、120…選択手段、121…選択レジスタ、129…タイマ、200…読み込み信号、201、210…転送起動信号、202…転送起動実行信号、203…システムバス、204、211…起動停止信号、205…電源OFF許可信号、206…電源OFF

31

実行信号、207…電源線、208、209、212、215、230…235、242…244…信号線、216…転送終了信号、217…システムバス、218…CPU101への電源遮断実行信号、219…フラッシュEPROM102への電源遮断実行信号、220…入出力手段103への電源遮断実行信号、221…RAM105への電源遮断実行信号、222…転送手段106への電源遮断実行信号、223…起動手段107への電源遮断実行信号、224…CPU101への電源線、225…フラッシュEPROM102への電源線、226…入出力手段103への電源線、227…RAM105への電源線、228…転送手段106への電源線、229…起動手段107への電源線、250…制御手段100への電源線、245…CPU101のアドレス信号線。

【図1】

図1



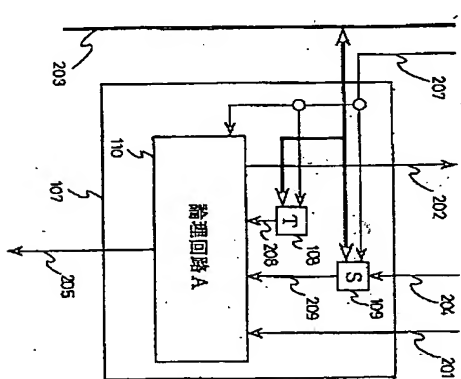
(17)

32

源遮断実行信号、224…CPU101への電源線、225…フラッシュEPROM102への電源線、226…入出力手段103への電源線、227…RAM105への電源線、228…転送手段106への電源線、229…起動手段107への電源線、250…制御手段100への電源線、245…CPU101のアドレス信号線。

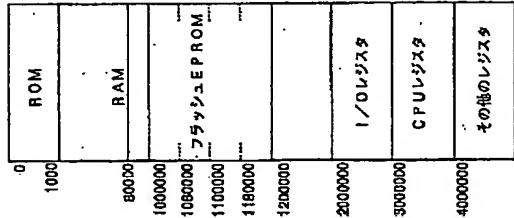
【図2】

図2



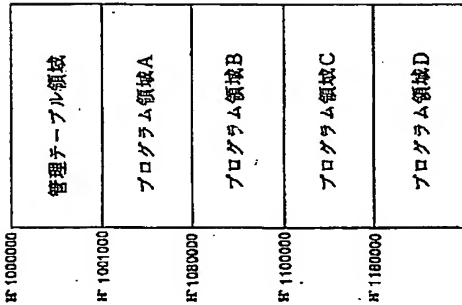
【図3】

図3



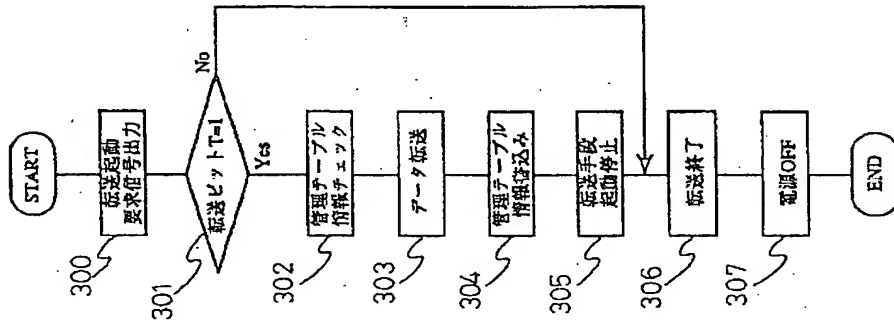
【図4】

図4



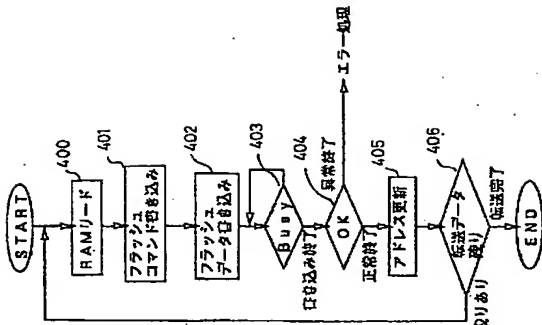
【図7】

図7



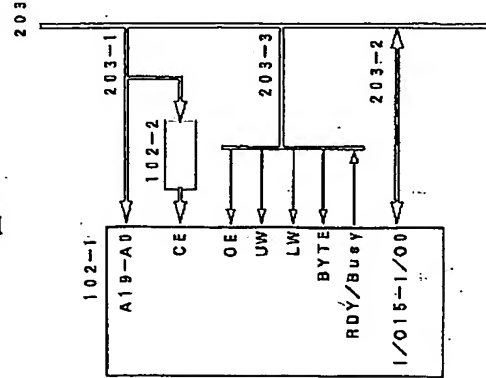
【図8】

図8



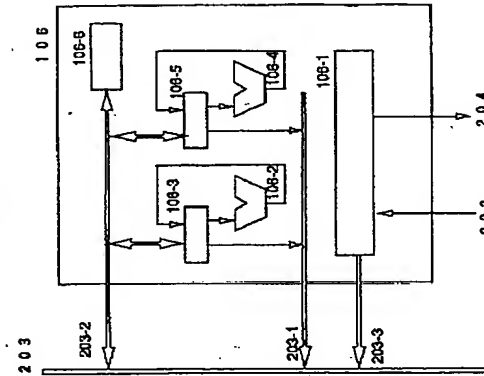
【図5】

図5



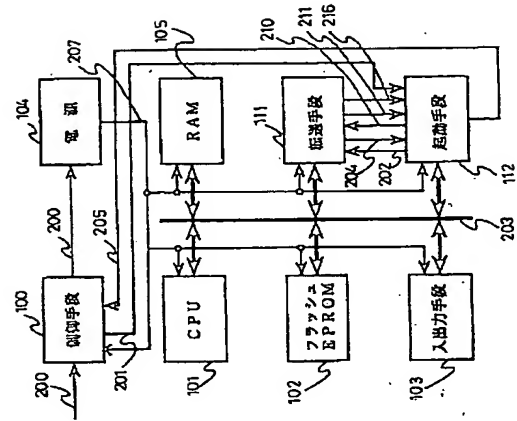
【図6】

図6



【図9】

図9



【図10】

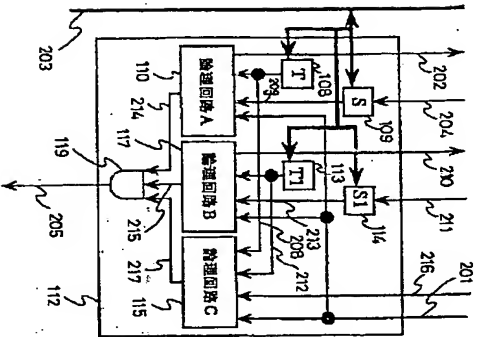


図 10

【図11】

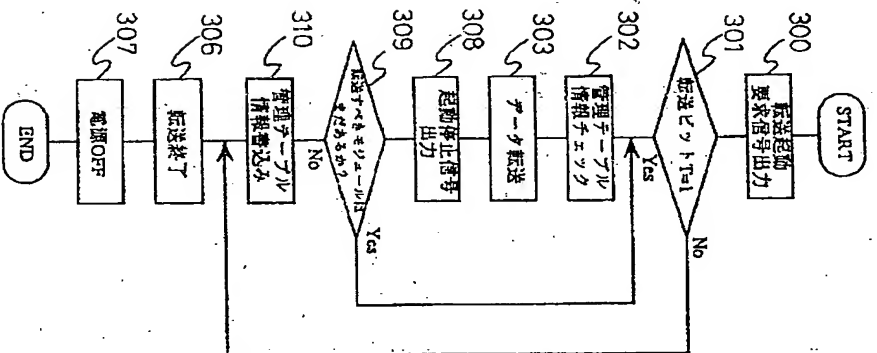


図 11

【図12】

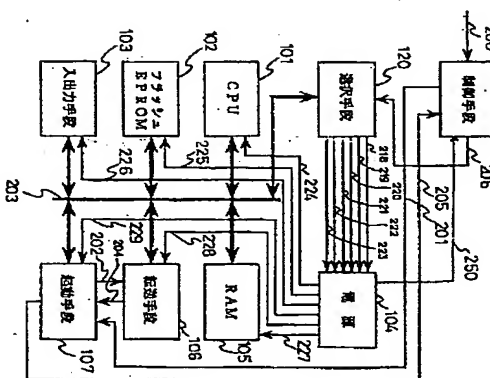


図 12

【図13】

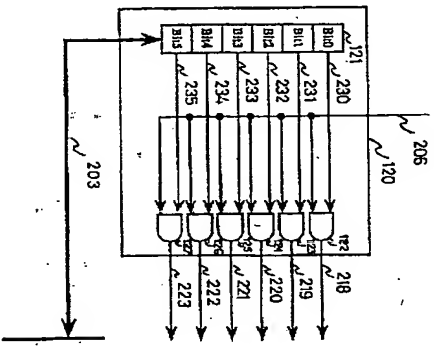


図 13

【図14】

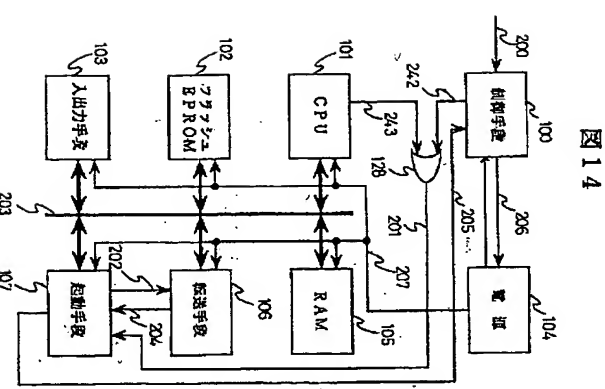
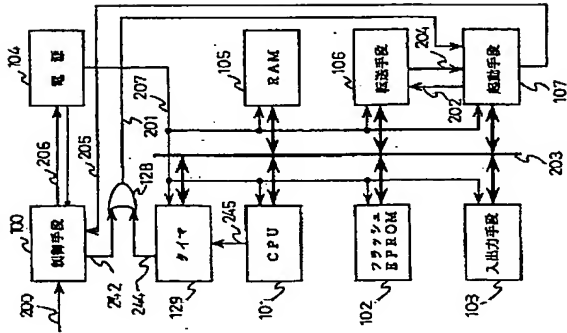


図 14

【図15】

図15



フロントページの続き

技術表示箇所

FI

識別記号 序内整理番号

(51)Int. Cl.⁴
G 0 6 F 1 5 / 0 2 3 0 5 D

(72)発明者 金子 好之

東京都国分寺市東部ケ植1丁目280番地
株式会社日立製作所中央研究所内

THIS PAGE BLANK (USPTO)